

## ELECTRONIC PART AND ITS MANUFACTURE

**Publication number:** JP11273997

**Publication date:** 1999-10-08

**Inventor:** HAYASHI KATSUHIKO

**Applicant:** TDK CORP

**Classification:**

- international: *H01F17/00; H01G4/40; H01P3/08; H01P11/00;  
H03H7/075; H05K1/03; H05K1/09; H05K3/46;  
H01F17/00; H01G4/40; H01P3/08; H01P11/00;  
H03H7/075; H05K1/03; H05K1/09; H05K3/46; (IPC1-7):  
H01G4/40; H01F17/00; H01P3/08; H01P11/00;  
H05K1/03; H05K1/09; H05K3/46*

- european:

**Application number:** JP19980069116 19980318

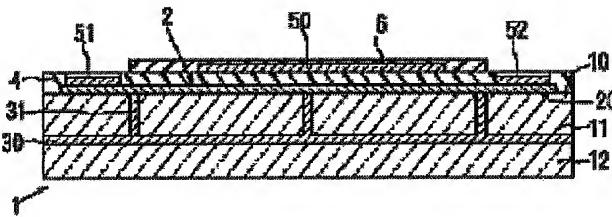
**Priority number(s):** JP19980069116 19980318

[Report a data error here](#)

### Abstract of JP11273997

**PROBLEM TO BE SOLVED:** To bring silver used as wiring in a substrate into contact with a Cu-Ag conductor film and to prevent electrical disconnection by allowing a conductor pattern to include the Cu-Ag conductor film and to adhere to a substrate.

**SOLUTION:** Electronic parts include a substrate 1 and a conductor pattern 2. Then, the conductor pattern 2 includes a Cu-Ag conductor film 20 thus constituting a circuit element. The Cu-Ag conductor film 20 is allowed to adhere onto the substrate 1. The substrate 1 is composed by a multilayer substrate and an inner conductor 30 that mainly consists of silver is provided inside. The internal conductor 30 is led to the surface of the substrate 1 via a through hole conductor 31 that mainly is made of silver and is connected to the Cu-Ag conductor film 20 being formed on the surface of the substrate 1, thus preventing electrical disconnection from being generated due to the tendency to liquid phase at an area to the Cu-Ag conductor film 20.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-273997

(43)公開日 平成11年(1999)10月8日

(51)Int.Cl. <sup>e</sup>	識別記号	F I	H 01 G 4/40	3 2 1 A
H 01 G 4/40			H 01 G 4/40	
H 01 F 17/00			H 01 F 17/00	A
H 01 P 3/08			H 01 P 3/08	
11/00			11/00	F
H 05 K 1/03	6 1 0		H 05 K 1/03	6 1 0 B

審査請求 未請求 請求項の数15 O.L (全14頁) 最終頁に続く

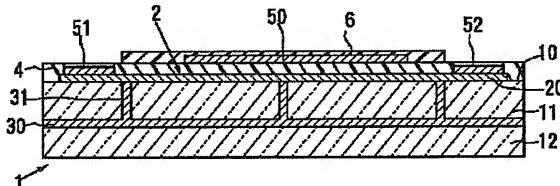
(21)出願番号	特願平10-69116	(71)出願人	000003067 ティーディーケイ株式会社 東京都中央区日本橋1丁目13番1号
(22)出願日	平成10年(1998)3月18日	(72)発明者	林 克彦 東京都中央区日本橋1丁目13番1号 ティ 一ディーケイ株式会社内
		(74)代理人	弁理士 阿部 美次郎

(54)【発明の名称】 電子部品及びその製造方法

(57)【要約】

【課題】 基板内部の配線と、基板表面に形成される導体との間の電気的断線を回避でき、しかも低温焼成可能な電子部品を提供する。

【解決手段】 基板1は、内部導体30を有しており、内部導体30は導体パターン2に接続される配線導体を構成する。導体パターン2はCu—Ag導体膜20を含み、回路要素を構成する。Cu—Ag導体膜20は基板1上に付着されている。



1

## 【特許請求の範囲】

【請求項1】 基板と、導体パターンとを含む電子部品であって、

前記基板は、その内部に内部導体を有しており、前記内部導体は前記導体パターンに接続される配線導体を構成しており、

前記導体パターンは、銅を主成分とし、銀を含有する導体膜でなり、回路要素を構成しており、

前記導体膜は、前記基板上に付着されている電子部品。

【請求項2】 請求項1に記載された電子部品であって、

前記内部導体は、銀を主成分とする電子部品。

【請求項3】 請求項1または2の何れかに記載された電子部品であって、

前記導体膜に含まれる前記銀の含有量は、前記銅と銀との総和を100wt%としたとき、0.3~30wt%である電子部品。

【請求項4】 請求項1に記載された電子部品であって、

前記基板は、セラミック成分及びガラス成分を含む複合組成物でなる電子部品。

【請求項5】 請求項4に記載された電子部品であって、

前記基板は、研磨された面を有しており、

前記導体膜は、前記研磨された前記面に付着されている電子部品。

【請求項6】 請求項4に記載された電子部品であって、

前記セラミック成分は、アルミナ、マグネシア、スピネル、シリカ、ムライト、フォルステライト、ステアタイト、コーチェライト、ストロンチウム長石、石英、ケイ酸亜鉛及びジルコニアの群から選ばれた少なくとも一種を含む電子部品。

【請求項7】 請求項4に記載された電子部品であって、

前記ガラス成分は、ホウケイ酸ガラス、鉛ホウケイ酸ガラス、ホウケイ酸バリウムガラス、ホウケイ酸ストロンチウムガラス、ホウケイ酸亜鉛ガラス及びホウケイ酸カリウムガラスの群から選ばれた少なくとも一種を含む電子部品。

【請求項8】 請求項1に記載された電子部品であって、

更に、絶縁層と、別の導体パターンとを有しており、前記絶縁層は、前記導体パターンを覆っており、

前記別の導体パターンは、前記絶縁層によって支持されている電子部品。

【請求項9】 請求項8に記載された電子部品であって、

前記別の導体パターンは、銅を主成分と導体膜でなる電子部品。

2

【請求項10】 請求項9に記載された電子部品であって、

前記別の導体パターンは、外部接続用の外部接続電極を含む電子部品。

【請求項11】 請求項10に記載された電子部品であって、

前記外部接続電極は、表面に半田層を有する電子部品。

【請求項12】 請求項1に記載された電子部品であって、

前記受動回路は、インダクタ、キャパシタまたは抵抗の少なくとも1つを含む電子部品。

【請求項13】 請求項1に記載された電子部品であって、

前記受動回路は、フィルタ、カブラまたは移相器等の回路を構成する電子部品。

【請求項14】 請求項1乃至13の何れかに記載された電子部品の製造方法であって、

前記基板上に、銅を主成分とし銀を含有する導体ベーストを塗布し、乾燥、脱バインダ及び焼成等の処理を行って導体膜を形成し、

前記導体膜にフォトリソグラフィ技術を適用することにより、前記導体パターンを形成する工程を含む電子部品の製造方法。

【請求項15】 請求項14に記載された電子部品の製造方法であって、

焼成後に前記導体膜の表面をバフ研磨する工程を含む電子部品の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電子部品及びその製造方法に関する。本発明に係る電子部品は、例えば、携帯電話、自動車電話等の無線機器、或いはその他各種通信機器等の分野において利用される表面実装電子部品として好適なものである。

【0002】

【従来の技術】この種の電子部品において、高密度配線を実現する手段として、従来より、多層配線構造が採用されてきた。多層配線構造を開示した先行技術文献としては、例えば特公平3-78798号公報や特許第26

40 14778号公報等が知られている。これらの公知文献は、ガラスとセラミックとの複合組成物でなるガラスーセラミック材料を用いた低温焼成多層基板を開示している。多層基板の内部には、銀を主体とした導体が形成されており、その表面には銅による配線パターンが形成されている。この先行技術では、多層基板の内部に銀を主体とした導体を形成してあるので、セラミック多層基板を形成する際、脱バインダの促進に有効な空気中焼成が可能である。また、多層基板の表面に銅による配線パターンを形成してあるので、多層基板の表面におけるシリバーマイグレーション、及び、半田食われを阻止できる

50

と共に、導電性の高い配線パターンを構成できるという利点がある。

【0003】多層基板の製造に当たっては、ガラス及びセラミック材料を樹脂系バインダ中で混合してシート化し、前記シートに対し、銀を主体とし、ガラスフリット及びバインダを用いて塗料化した導体ベーストをスクリーン印刷法等で塗布して配線パターンを形成する。次に、前記配線パターンの形成されたシートを積層し、積層体を熱プレスして一体化する。次に、熱処理により、バインダ（シート中の樹脂分）を除去すると共に、ガラスセラミック材料と銀を主体とした導体と同時に焼結させる。これにより、多層基板の内部に、銀を主成分とした焼結導体膜による配線を有する多層配線構造が得られる。銀を主成分とした焼結導体膜は、その内部に含まれるガラスフリットにより基板に強固に密着する。

【0004】次に、多層基板の表面に銅を主成分とした配線パターンを形成する。この配線パターン形成方法については、上記2件の公知例では多少異なる。前者は、スクリーン印刷法等を適用して、多層基板上に銅ベーストを塗布し、その後、還元雰囲気中で導体を焼結させる方法を開示している。後者は、多層基板上に先ず無電解メッキでニッケルを付着させ、その後電解メッキにより銅を付着させる。そして、銅メッキ膜を、フォトリソグラフィ技術を用いて、パターン化する方法を開示している。

#### 【0005】

【発明が解決しようとする課題】上述した従来技術のうち、セラミック多層基板の内部に、銀を主成分する導体を形成し、表面に銅を主成分とする導体パターンを、厚膜印刷法の適用により形成する技術には、前述したような利点があるけれども、次のような解決しなければならない問題点も抱えている。

【0006】まず、多層基板の内部の配線は、スルーホール等を通して、基板表面に露出させ、表面に形成される導体と接続する必要がある。ところが、内部の配線として銀を使用し、表面に銅を主成分とする銅ベーストを厚膜印刷した場合、露出した銀の導体と基板表面に形成された銅ベーストとが接触することになる。この状態で銅ベーストを焼結させた場合、銅と銀の接触部では600°Cを越える温度で、相互の原子同士が拡散し合い、液相を生じる。この液相化により、銀と銅とを含む接触部が、焼成中に、周囲の銅パターンよりも極度に収縮する。この収縮のために、前記接触部と、その周囲にある銅パターンとの間に空隙が生じてしまう。

【0007】上記断線を回避するためには、600°C程度で焼結可能な銅ベーストを使用する必要がある。実際に、600°C程度で焼結可能な銅ベーストも存在する。しかし、銅ベーストは900°C程度で焼成されるものが一般的であり、しかも、900°C以上で焼成する銅ベーストの方が、600°C程度で焼結可能な銅ベーストより

も、高い周波数帯まで高周波損失の少ない良好な導体を形成できる。換言すれば、600°C程度で焼結可能な銅ベーストを用いた場合は、基板内部の銀による配線と、基板表面に形成される銅による導体との間の電気的断線を回避することは可能であるが、高い周波数帯まで高周波損失の少ない良好な導体を得ることができない。

【0008】基板内部の銀による配線と、基板表面の銅による導体との間の電気的断線及び高周波特性の劣化は、銅を用いることによって生じるものであるから、これ改善する手段として、基板表面に形成される導体をも、銀によって構成する手段が考えられる。しかしながら、銀は反応活性が高いため、周囲の環境により、導体パターン間の絶縁抵抗の低下、あるいはシルバーマイグレーションを発生させる危険性がある。

【0009】しかも、銀は半田中に拡散移行し易いため、マザーボード等と接続するために形成される外部接続電極が前述のように銀で形成されている場合、半田付けの際に外部接続電極が、溶解した半田中に拡散移行して消滅してしまう、いわゆる半田食われ現象を生じる可能性がある。

【0010】更に、銀を主成分とした焼結導体膜に対してエッチングを施し、導体パターンを形成する場合、前記焼結導体膜はガラスフリットにより基板に付着されているため、導体パターンの形成に当たっては、ガラスフリットを溶解させるエッチング液、例えば硝酸のような酸性系エッチング液を使用することができない。使用できるエッチング液として、現時点では、アンモニアと過酸化水素水との混合液か、青酸カリと過硫酸アンモニウムとを含む水溶液に限られる。ところが、アンモニアと過酸化水素水との混合液を用いた場合、エッチング速度が遅く、エッチング処理に長時間を要する上に、多量のエッチング液を必要とし、その上、酸素を放出するためには、火気に注意して取り扱う必要があり、量産向けではない。青酸カリと過硫酸アンモニウムとを含む水溶液を用いたエッチング処理は、人体に対して極めて毒性の強いエッチング液を使用することになるので、作業者の安全性確保が極めて重要になると共に、エッチング液及びその材料の保管、維持、廃棄に厳重な管理が必要であり、これらに要するコストを考慮すると、量産には不向きである。

【0011】上記のような厚膜印刷法によらず、メッキにより銅を付着させる方法を採用した場合は、一般的に、メッキプロセスでは、歪みを残しながらメッキ膜が形成されていくため、膜厚を10μm程度まで厚くすると、基板に対するメッキ膜の付着強度が低下し易くなる。導体膜の付着強度が低下すると、前述した外部接続電極を形成した場合、マザーボードに対する十分な固定強度を得ることが困難となる。

【0012】更に、メッキ膜を厚く形成する場合、基板表面全体に均一なメッキ膜厚を形成することが困難であ

り、メッキ膜に膜厚のばらつきを生じる。この膜厚のばらつきは、フォトリソグラフィ技術を用いて極細のラインパターンを形成する際、パターン成形精度を低下させる。一般にフォトリソグラフィ技術を用いたパターン形成精度は形成された導体表面の状態に大きく依存するからである。

【0013】本発明の課題は、基板内部の配線と、基板表面に形成される導体膜との間の電気的断線を回避し得る電子部品及びその製造方法を提供することである。

【0014】本発明のもう一つの課題は、例えば650～850°Cの低温で焼成の可能な電子部品及びその製造方法を提供することである。

【0015】本発明の更にもう一つの課題は、焼成後の基板の反りを低減させ得る電子部品及びその製造方法を提供することである。

【0016】本発明の更にもう一つの課題は、基板表面に形成される導体膜を、接着力を劣化させずにパターン化し得る電子部品及びその製造方法を提供することである。

【0017】本発明の更にもう一つの課題は、導体抵抗の低い導体膜を有する電子部品及びその製造方法を提供することである。

#### 【0018】

【課題を解決するための手段】上述した課題を解決するため、本発明に係る電子部品は、基板と、導体パターンとを含む。前記基板は、その内部に内部導体を有しており、前記内部導体は前記導体パターンに接続される配線導体を構成している。前記導体パターンは、銅を主成分とし、銀を含有する導体膜（以下Cu-Ag導体膜と称する）でなり、回路要素を構成する。前記Cu-Ag導体膜は、前記基板上に付着されている。

【0019】本発明に係る電子部品において、導体パターンはCu-Ag導体膜を含んでおり、Cu-Ag導体膜は基板上に付着されている。この構造は、多層基板に導体膜を形成する場合に、大きな利点をもたらす。即ち、多層基板を構成する場合、一般には、多層基板の内部に、銀を主成分とする配線を備える。この配線は、スルーホール等を通して基板の表面に露出させ、基板の表面に形成される導体膜と接続する。本発明において、導体パターンを構成するCu-Ag導体膜が基板上に付着されているから、基板の内部の配線として用いられる銀が、Cu-Ag導体膜と接触することになる。この場合、基板の内部配線として用いられる銀とCu-Ag導体膜との間に、液相化による電気的断線が生じるのを回避することができる。

【0020】しかも、Cu-Ag導体ペーストの場合、ペースト組成物の組成比の条件設定により、900°C未満の温度、例えば650～850°Cの低温で焼成が可能になる。このため、製造にかかるエネルギー消費を低減すると共に、焼成炉の寿命を延長することができる。ま

た、低温度で焼成可能なCu-Ag導体ペーストを用いることができるので、導体膜焼成工程において発生する多層基板の反りを極めて小さくすることができます。

【0021】更に、本発明において用いられるCu-Ag導体膜は、Cuを主成分とし、銀は添加物として加えた組成であるので、Cuのエッチング液として、Cu-Ag導体膜を基板に接着させているガラスフリットの接着力を劣化させる度合いが少ない塩化第二鉄(FeCl<sub>3</sub>)を用いることができる。このため、接着力の大きなCu-Ag導体膜を得ることができる。

【0022】Cu単独でなる導体膜の場合、低抵抗の導体膜を得るには900°C以上の温度で焼成する必要がある。これ以下の温度条件、例えば600°C前後では、焼結が不充分になり導体抵抗が増大する。これに対して、Cu-Ag導体膜の場合、例えば650～850°Cの低い温度で焼成することにより、ほぼ完全に焼結させ、低い導体抵抗を実現することができる。

【0023】Cu-Ag導体膜による上記効果は、添加される銀の含有量による影響を受ける。銀の好ましい含有量は、Cu-Ag導体膜中の銅と銀との総和を100wt%としたとき、0.3～30wt%である。

【0024】本発明において、導体パターンは受動回路を構成する要素として用いられる。導体パターンは、単独または他の構成要素と組み合わせて必要な受動回路を構成する。受動回路は、具体的には、インダクタ、キャパシタまたは抵抗の少なくとも1つを含む。上述した受動回路は、単機能回路であってもよいし、それらのいくつかを組み合わせた機能回路を構成してもよい。組み合わせによる機能回路の代表例は、フィルタ、カプラまたは移相器等の回路である。導体パターン及び他の構成要素は、目的とする受動回路に応じて、適宜選択される。

【0025】基板の内部導体として、銀を用いた場合、空気中で焼成可能であり、基板中のバインダを容易に除去することができる。バインダに含まれる炭素は、基板中に残存し易い性質を持つが、空気中で焼成した場合、炭素を、空気中の酸素により、炭酸ガスとして処理しやすいからである。しかも、窒素雰囲気中の焼成が必要ないため、焼成炉の雰囲気の維持管理が容易である。

【0026】更に、内部導体が、銀を主成分とする場合、既に述べたように、基板の表面に付着されたCu-Ag導体膜との間に、焼成時の液相化現象による電極断線を生じさせない。

【0027】前記基板は、好ましくは、セラミック成分及びガラス成分を含む複合組成物である。更に好ましくは、前記基板は、研磨された面を有する。この場合、前記Cu-Ag導体膜は前記研磨された前記面に付着される。本発明は、好ましいセラミック成分及びガラス成分の具体例を開示する。

【0028】更に、別の態様として、本発明に係る電子

部品は、絶縁層と、別の導体パターンとを有していてもよい。この場合、前記絶縁層は前記導体パターンを覆っており、前記別の導体パターンは前記絶縁層によって支持されている。更に具体的には、前記別の導体パターンは、銅を主成分とする導体膜である。かかる構造によれば、更に多層化を進め、より一層の小型化、及び、高機能化を達成できる。

【0029】本発明に係る電子部品は、通常、外部接続電極を含んでいる。この外部接続電極は前記絶縁層上に設けられる。前記外部接続電極は、表面に半田層を有していてもよい。

【0030】上述した電子部品を製造するため、本発明に係る製造方法では、前記基板上にCu-Ag導体ペーストを塗布し、乾燥、脱バインダ及び焼成等の処理を行ってCu-Ag導体膜を形成する。次に、前記Cu-Ag導体膜にフォトリソグラフィ技術を適用することにより、導体パターンを形成する。

【0031】かかる製造方法によれば、上述した利点を有する本発明に係る電子部品が得られることは明らかである。

【0032】本発明の他の目的、特徴及び利点については、実施例である添付図面を参照して、さらに詳しく説明する。図面は、単に、実施例を示すものに過ぎない。

【0033】

【発明の実施の形態】図1は本発明に係る電子部品の断面図である。図を参考すると、本発明に係る電子部品は、基板1と、導体パターン2とを含む。導体パターン2は、Cu-Ag導体膜20を含み、回路要素を構成する。Cu-Ag導体膜20は基板1上に付着されている。

【0034】図示された基板1は、多層基板で構成されており、多層基板1の内部に銀を主成分とする内部導体30が備えられている。内部導体30は、銀を主成分とするスルーホール導体31を通して基板1の表面に導出され、表面に形成されるCu-Ag導体膜20と接続されている。

【0035】かかる構造によれば、基板1の内部導体30として用いられる銀と、Cu-Ag導体膜20との間に液相化による電気的断線が生じるのを回避することができる。即ち、Cu-Ag導体膜20は、銀である内部導体30を露出させた基板1上に、Cu-Ag導体ペーストを塗布し、焼成することによって形成される。この場合、Cu-Ag導体ペーストの焼成時に、基板1に設けられた銀である内部導体30と、Cu-Ag導体ペーストとの接触箇所において液相化を生じる。しかしながら、Cu-Ag導体ペースト中では、銅成分及び銀成分が広く分散しているため、焼成時に生じる液相化は、基板1上に塗布されたCu-Ag導体ペーストの全体と、基板1上に露出する銀である内部導体30との間で生じる。このため、従来から問題となっていた銅と、銀でな

る内部導体との異種金属間の局所的な液相化、及び、それによる電気的断線を生じることがない。

【0036】また、焼成時に液相化を起こすといつても、液相化が始まってから完全に液相化するまでは、ある程度、温度範囲があるから、Cu-Ag導体ベーストが流动しない焼成温度条件を設定することにより、多層基板1上に、一定の品質を有するCu-Ag導体膜20を形成することができる。

【0037】しかも、Cu-Ag導体ベーストは、Cuを単独で用いたCuベーストに比べて、低い焼成温度条件で焼結させることができる。即ち、CuとAgは液相化により合金化するが、それに伴い融点自体も低下する。例えば、Cuベーストの場合、約900°C程度で焼成させる必要があるが、Cu-Ag導体ベーストの場合、ベースト組成物の組成比の条件設定により、900°C未満の温度、例えば650~850°Cの低温で焼成が可能になる。このため、製造にかかるエネルギー消費を低減すると共に、焼成炉の寿命を延長することができる。

【0038】CuまたはAgの単独でなる導体膜の場合、低抵抗の導体膜を得るには900°C以上の温度で焼成する必要がある。これ以下の温度条件、例えば600°C前後では、焼結が不充分になり導体抵抗が増大する。これに対して、Cu-Ag導体膜20の場合、例えば650~850°Cの低い温度で焼成して、ほぼ完全に焼結させ、低い導体抵抗を実現することができる。

【0039】また、本発明においては、低温度で焼成可能なCu-Ag導体ベーストを用いることができるの、導体膜焼成工程において発生する多層基板1の反りを極めて小さくすることができる。

【0040】更に、本発明において用いられるCu-Ag導体膜20は、Cuを主成分とし、銀は添加物として用いる組成であるので、塩化第二鉄(FeCl<sub>2</sub>)を用いて、エッチングができる。塩化第二鉄(FeCl<sub>2</sub>)のエッチング液は、Cu-Ag導体膜20を基板1に接着させているガラスフリットの接着力を劣化させる度合いが少ないので、接着力の大きなCu-Ag導体膜20を得ることができる。

【0041】上述した作用効果は、後述する製造方法の説明の欄において、更に、詳しく説明する。

【0042】Cu-Ag導体膜に含まれる銀の含有量は、Cu-Ag導体膜中の銅と銀との総和を100wt%としたとき、0.3~30wt%である。この範囲では、上述した銀の添加効果が確実に得られると共に、シルバーマイグレーション、半田食われ現象を阻止することができる。銀の含有量が0.3wt%未満であると、銀の均一分散が困難になり、銀の添加効果が損なわれる。銀の含有量が30wt%を超えると、シルバーマイグレーション、半田食われ現象が顕著になると共に、Cu-Agの合金化による上記利点が損なわれる。

【0043】本発明において、導体パターン2は受動回路を構成する要素として用いられる。導体パターン2は、単独または他の構成要素と組み合わされて必要な受動回路を構成する。受動回路は、具体的には、インダクタ、キャパシタまたは抵抗の少なくとも1つを含む。上述した受動回路は、单機能回路であってもよいし、それらのいくつかを組み合わせた機能回路を構成してもよい。組み合わせによる機能回路の代表例は、フィルタまたはカプラー等である。導体パターン2及び他の構成要素は、目的とする受動回路に応じて、適宜選択される。

【0044】実施例において、基板1は、内部導体30を有しており、内部導体30は導体パターン2に接続される配線導体を構成する。これにより、多層化された基板1を得ることができる。

【0045】更に、実施例に示された電子部品は、絶縁膜4と、別の導体パターン50とを有している。絶縁膜4は導体パターン2を覆っており、導体パターン50は絶縁膜4によって支持されている。導体パターン50は、銅を主成分とする導体膜である。かかる構造によれば、更に多層化を進め、より一層の小型化、及び、高機能化を達成できる。

【0046】更に、図示された電子部品は、外部接続電極51、52を含んでいる。この外部接続電極51、52は導体パターン50の上に設けられる。外部接続電極51、52は、表面に半田層を有していてもよい。半田層は、半田バンプまたは半田プリコートを含む。

【0047】基板1は、好ましくは、セラミック成分及びガラス成分を含む複合組成物である。更に好ましくは、基板1は、研磨された面10を有する。Cu—Ag導体膜20は研磨された面10に付着させる。実施例において、基板1は、内部導体30を境界にして、絶縁層11と補強層12とに分けられており、研磨された面10は絶縁層11の表面に設けられている。基板1は、セラミック成分及びガラス成分を含む複合組成物である焼結体である。焼結体である基板1に、焼成による反りが発生していたとしても、この反りは研磨によって解消されており、このような反りのない面10にCu—Ag導体膜20でなる導体パターン2を形成することができる。このため、セラミック基板1を半導体製造技術に適応させ、フォトリソグラフィ工程において、高精度の導体パターン2を形成することが可能になる。よって、導体パターン2によって形成される各回路素子の定数値の精度を向上させると共に、小さなパターン領域で回路素子、及び、回路素子の集合体である機能回路を設計しうる。

【0048】しかも、セラミック成分及びガラス成分を含む複合組成物である絶縁層11は、ガラス成分とセラミック成分との混合比、成分等を適切に選択することにより、切削性、強度、表面の平滑性等をほぼ同時に満たすことができる。チップ化するためにダイシングソウ等

で個別に分割する場合でも、良好な切削性を確保し、量産性を向上させることができる。従って、基板1の焼成時に発生する全体の焼成反りや凹凸を、表面研磨によって容易に除去することができる。また、絶縁層11を構成する無機成分の種類または成分毎の含有量等の選択によって、表面の状態が平滑で、且つ、欠陥がなく、しかも反りの少ない絶縁層11を有する電子部品を得ることもできる。

【0049】セラミック成分及びガラス成分を含む複合組成物である絶縁層11は、セラミック単体またはガラス単体による絶縁層との対比において、欠陥が極めて少なく、且つ、平滑性を有する基板1とすることができます。また、セラミック成分を含有することにより、ガラス単体よりも強度が大きくなる。更に、ガラス単体の時よりも基板1の製造時の流動性が低下することにより、多層配線構造とすることができます。

【0050】セラミック成分及びガラス成分を含む複合組成物である絶縁層11は、セラミック成分単体を焼結させた場合に比べ、1000°C以下の比較的低温で、且つ、約10分程度の短い焼成温度保持時間で焼成が可能である。このため、セラミック成分単体を焼成させる場合に比べ、製造設備的にも安価であり、製造時間が短くなるため、量産性がよい。

【0051】絶縁層11を構成するためのセラミック成分としては、アルミナ、マグネシア、スピネル、シリカ、ムライト、フォルステライト、ステアタイト、コージェライト、ストロンチウム長石、石英、ケイ酸亜鉛及びジルコニアの群から選ばれた少なくとも一種を含むものを用いることができる。

【0052】ガラス成分としては、ホウケイ酸ガラス、鉛ホウケイ酸ガラス、ホウケイ酸バリウムガラス、ホウケイ酸ストロンチウムガラス、ホウケイ酸亜鉛ガラス及びホウケイ酸カリウムガラスの群から選ばれた少なくとも一種を含むものを用いることができる。ガラス成分の含有率は、複合組成物の全体積に対する体積比で50%以上であることが望ましい。特に、体積比で60~70%の範囲が最適である。

【0053】補強層12は絶縁層11の表面10とは反対側において、絶縁層11と一体化されている。上述した補強層12を有することにより、絶縁層11を薄くしつつ、基板1の強度を確保することができる。補強層12は、絶縁層11とは異なる材質のものであってもよいが、製造プロセスの一元化という観点からは、同材質とすることが望ましい。

【0054】図2は図1に示した電子部品をマザーボード70に搭載した状態を示した図である。図示するように、本発明に係る電子部品は、Cu—Ag導体膜20でなる導体パターン2の形成された面を、マザーボード70の搭載面73に向かって、マザーボード70の上に搭載されている。外部接続電極51、52上に設けた

11

半田層81、82は、マザーボード70上の電極71、72上で半田リフロー等の熱処理により溶融させる。これにより、電子部品の外部接続電極51、52及びマザーボード70の上に設けられた電極71、72が電気的、機械的に接続される。

【0055】図3は本発明に係る電子部品の実施例であるローパスフィルタ(Low Pass Filter以下L PFと称する)の分解斜視図、図4は図3の4-4線に沿った断面図、図5は図3の5-5線に沿った断面図、図6は図3の6-6線に沿った断面図、図7は図3～図6に示したL PFの等価回路図を示している。図において、図1に図示された構成部分と同一の構成部分については、同一の参照符号を付してある。

【0056】導体パターン2は、第1のコンデンサ電極204と、第2のコンデンサデン電極205と、インダクタ電極203と、端子電極201、202とを備える。コンデンサ電極204は、Cu-Ag導体膜20である。Cu-Ag導体膜20は、基板1を構成する絶縁層11の研磨された面10の上に付着されている。

【0057】基板1は、多層基板で構成されており、多層基板1の内部に銀を主成分とする内部導体30及びスルーホール導体31が備えられている。内部導体30は、銀を主成分とするスルーホール導体31を通して基板1の表面に導出され、表面に形成されたCu-Ag導体膜20と接続されている。このように、銀を主成分とする内部導体30及びスルーホール導体31が、Cu-Ag導体膜20と接触することになるため、従来問題となっていた異種金属間の液相化による電気的断線を生じることがない。

【0058】コンデンサ電極205は、一端が端子電極201に接続されている。コイル導体203は、スパイラル状パターンを有しており、外周端がコンデンサ電極205の一端と共に、端子電極201に接続されている。

【0059】コンデンサ電極205、コイル導体203及び端子電極201、202も、コンデンサ電極204と同様に、Cu-Ag導体膜20である。Cu-Ag導体膜20は基板1を構成する絶縁層11の面10の上に付着されている。従って、コンデンサ電極204のみならず、コンデンサ電極205、コイル導体203及び端子電極201、202も、高い周波数帯まで高周波損失の少ない良好な導体パターンを得ることができる。

【0060】導体パターン2は、絶縁膜4によって覆われている。絶縁膜4の表面には銅を主成分とする導体パターン50が付着されている。導体パターン50は、コンデンサ電極501～503と、外部接続電極51～54とを有する。コンデンサ電極501は、絶縁膜4を間に挟んで、導体パターン2を構成するコンデンサ電極205と対向する。コンデンサ501は外部接続電極52に導通されている。コンデンサ電極502及び503

12

は、互いに間隔を隔てて、絶縁膜4の表面に付着され、導体パターン2を構成するコンデンサ電極204に共通に対向している。コンデンサ電極502はコンデンサ電極501と共に、外部接続電極52に導通されている。コンデンサ電極503は外部接続電極51に接続されている。

【0061】外部接続電極52は、リード導体504を有しており、リード導体504は、絶縁膜4に設けられた孔45を通してコイル導体203の内周端に接続されている。これにより、コイル導体203が外部接続電極52に接続される。

【0062】外部接続電極51は、絶縁膜4に設けられた貫通孔41を通して、導体パターン2の端子電極201に接続され、外部接続電極52は貫通孔42を通して導体パターン2の端子電極202に接続される。外部接続電極53、54は、絶縁膜4に設けられた貫通孔43、44により、導体パターン2を構成するコンデンサ電極204に接続される。

【0063】図7は図3～図6に示したL PFの電気回路を示している。図7において、コンデンサC1は、絶縁膜4を挟んで対向するコンデンサ電極205及びコンデンサ電極501によって取得される。コンデンサC2は絶縁膜4を挟んで対向するコンデンサ電極204及びコンデンサ電極503によって取得される。コンデンサC3は絶縁膜4を挟んで対向するコンデンサ電極204及びコンデンサ電極502によって取得される。インダクタンスL1はコイル導体203によって発生する。図7の回路図から明らかなように、図3～図6によれば、小型のL PFが得られる。

【0064】図8は図3～図7に示した電子部品をマザーボード70に搭載した状態を示す図である。図示するように、本発明に係る電子部品9は、絶縁膜6の表面を、マザーボード70の搭載面73に向き合わせて、マザーボード70の上に搭載されている。電子部品9の外部接続電極53、54及びマザーボード70の上に設けられた電極71、72は、半田層81、82によって、電気的、機械的に接続される。更に、基板1の内部に設けた内部導体30が接地電極となるから、外界から加わる電磁気的影響から、L PF回路をシールドすることが可能である。半田層81、82は、外部接続電極51～54上に予め付着させておき、マザーボード70上の電極71、72上で半田リフロー等の熱処理により溶融させることができる。

【0065】実際の機器の高周波回路部では、金属製のシールドカバーにより、高周波回路部の全体を覆う。その際、高周波回路部に搭載された部品であって、搭載部品の上面側がGND電位でシールドされていない部品は、前記シールドカバーのGND電位の影響を受けるために、周波数特性が変化する。この傾向は周波数が高くなるに従い顕著になる。実施例に示す電磁気的シールド

構造によれば上記現象を回避することができる。

【0066】次に、本発明に係る電子部品の製造方法について、図9～図20を参照して説明する。図9は本発明に係る電子部品の製造工程を示すフローチャート、図10～図20は図9に示された各工程を示す図である。以下、図9を参照して工程の順序を説明し、図10～図20を参照して各工程の詳細を説明する。

【0067】<シート成形工程>シート成形工程では、誘電体材料を用いて、基板のためのシートを成形する。誘電体材料は、導体ベーストを印刷し、かつ、焼成により導体パターンが形成することが可能であれば、材料的な制限はない。実施例では、銀と同時焼成可能な誘電体材料を用いるものとして説明する。

【0068】また、1GHzを越す高周波帯で使用する電子部品を得る場合は、比誘電率が1.5以下、好ましくは1.0以下の誘電体材料を使用するのが望ましい。その理由は、前述のような高周波帯では、比誘電率が大き過ぎると、形成される導体パターン間の浮遊容量が無視できなくなり、パターン設計に困難を伴うからである。基板は後述する加工に対する切削性の良好さも必要である。従って、誘電体材料は、ガラス材料を母材とし、セラミック材料を骨材として混合した複合組成物が最適である。

【0069】誘電体材料の具体例としては、例えば、アルミナ( $\epsilon_r = 10$ )、マグネシア( $\epsilon_r = 9$ )、スピネル( $\epsilon_r = 9$ )、シリカ( $\epsilon_r = 4$ )、ムライト( $\epsilon_r = 6.5$ )、フォルステライト( $\epsilon_r = 6$ )、ステアタイト( $\epsilon_r = 6$ )、コージェライト( $\epsilon_r = 5$ )、ジルコニア( $\epsilon_r = 10$ )等があり、これらのグループから、比誘電率( $\epsilon_r$ )や焼成温度等に応じ、例えば、1種類以上を適宜選択すればよい。

【0070】複合組成物でなる誘電体材料中のガラスの含有率は、体積率で50%以上、特に60～70%であることが望ましい。ガラスの含有率が前記範囲未満であると、複合組成物となりにくく、強度及び成形性が低下する。またガラス材料は、骨材であるセラミック材料と同等程度の比誘電率を有することが望ましい。具体例としては、ホウケイ酸カリウムガラス、ホウケイ酸ガラス、鉛ホウケイ酸ガラス、ホウケイ酸バリウムガラス、ホウケイ酸ストロンチウムガラス、ホウケイ酸亜鉛ガラス等の一般にガラスフリットとして用いられるものが挙げられ、特に、ホウケイ酸カリウムガラス、鉛ホウケイ酸ガラス、ホウケイ酸ストロンチウムガラスが好適である。ガラスの組成の一例としては、 $SiO_2 : 50 \sim 65$ 重量%、 $Al_2O_3 : 5 \sim 15$ 重量%、 $B_2O_3 : 8$ 重量%以下、 $CaO$ 、 $SrO$ 、 $BaO$ 、及び $MgO$ の1～4種： $15 \sim 40$ 重量%、 $PbO : 30$ 重量%以下の例を上げることができる。上記組成に、更に、 $Bi_2O_3$ 、 $TiO_2$ 、 $ZrO_2$ 、 $Y_2O_3$ から選ばれた1種以上が、5重量%以下の含有率で含有されてもよい。

【0071】シート製造方法としては、グリーンシート法が好ましい。グリーンシート法では、セラミックの粒子及びガラスフリットを混合し、これにバインダ、溶剤等のビヒクルを加え、これらを混練してベースト(スラリー)とし、このベーストを用いて、例えばドクターブレード法、押し出し法等により、好ましくは0.05～0.5mm程度の厚さのグリーンシートを所定枚数作製する。この場合、ガラスの粒径は、0.1～5μm程度、骨材のセラミック粒子は1～8μm程度であることが好ましい。ビヒクルとしては、エチルセルロース、ポリビニルブチラールや、メタクリル樹脂、ブチルメタアクリレート等のアクリル系樹脂等のバインダ、エチルセルロース、テルビネオール、ブチルカルピトール等の溶剤、その他各種分散材、活性剤、可塑剤等から、目的に応じて適宜選択すればよい。図10のシート11、101～105はこのようにして得られたグリーンシートを示している。

【0072】<シートパンチング工程>シートパンチング工程では、シート成形工程で得られたグリーンシートに対し、パンチングマシンや金型プレスを用いて、スルーホールを形成する。

【0073】<内部導体印刷工程>内部導体印刷工程では、グリーンシート上に、例えばスクリーン印刷法により、内部導体及びスルーホール導体を形成する。図10において、グリーンシート105の表面に内部導体30が印刷されており、シート11にスルーホール導体31が形成されている。グリーンシート11のスルーホール導体31は、スルーホールランドパターン(後述)を形成するのと同時に、スルーホール内に導体ベーストを充填することによって形成される。導体ベーストとしては、銀粉とガラスフリットとを混合し、これに前記と同様のビヒクルを加え、これらを混練してスラリー化したもののが好ましい。この場合、銀粉の含有率は、8.0～9.5重量%程度であることが好ましい。また、導電性粒子の平均粒径は、1.01～5μm程度であることが好ましい。

【0074】<積層及び熱プレス工程>積層及び熱プレス工程では、前述した各工程を経て得られたグリーンシート101～105を、図10に示すような順序で積層する。そして、40～120°C、5.0～1000Kgf/cm<sup>2</sup>程度で熱プレスを行うことにより、グリーンシート101～105、11による積層体が得られる。何も印刷されないグリーンシート101～104は基板全体の厚みを調整するために積層されたものであり、その枚数等は任意である。

【0075】<脱バインダ及び焼成工程>積層及び熱プレス工程を経て得られた積層体は、脱バインダ工程に付され、積層体中に存在するバインダが熱処理により取り除かれ、更に、1000°C以下好ましくは800～1000°C程度、更に好ましくは850～900°Cの温度条件

件で、約10分程度保持することにより焼成する。図1  
1は脱バインダ及び焼成工程を経た後の積層体を示して  
おり、グリーンシート101～105の一体焼結でなる  
補強層12と、絶縁層11との間に内部導体30を有する  
多層基板が得られる。絶縁層11にはスルーホール導  
体31が設けられている。スルーホール導体31は、一  
端が内部導体30に接続しており、他端は絶縁層11の  
表面において、スルーホールランドパターン32に接続  
している。

【0076】ここで、内部導体30及びスルーホール導  
体31は、前述したように、銀を主成分とするので、空  
気中で焼成可能であり、基板中のバインダを容易に除去  
することができる。バインダに含まれる炭素は、基板中  
に残存し易い性質を持つが、空気中で焼成した場合、炭  
素を、空気中の酸素により、炭酸ガスとして処理しやす  
いからである。しかも、窒素雰囲気中での焼成が必要な  
いため、焼成炉の雰囲気の維持管理が容易である。

【0077】<多層基板研磨工程>焼成工程を経て得ら  
れた多層基板(図11)は、焼成工程により、基板全体  
に反りが生じている。本発明に係る電子部品の基板表面  
に形成される導体パターンは後述するフォトリソグラフ  
ィ技術により形成するため、導体パターンの精度は基板  
の平面性に左右される。即ち、そのため、フォトマスク  
との密着性が必要であったり、またフォトレジストが均  
一に塗布されたり、或いは光が均一に照射される必要が  
ある。多層基板研磨工程では、基板の表面研磨(ラッピ  
ング)を行って、基板全体の反りを除去する。

【0078】ここで、多層基板はガラスとセラミックとの複合組成物で、切削性が良好であるので容易にラッピングを行うことができる。これにより多層基板全体の反りがなくなり、且つ、基板表面の平滑性も良好になる。図12は研磨後の多層基板を示している。多層基板の表面10が研磨され、面10にあったスルーホールラン  
ドパターン32は除去され、スルーホールランドパターン32よりも小さな面積のスルーホール導体31を、面10に露出させることができる。そのため、多層基板の表面での回路パターンを設計する上で自由度が大きくなる。

【0079】<表面導体印刷工程>次に、図13に示す  
ように、多層基板研磨工程の終了した多層基板に対し、  
その表面の略全面に対し、銅を主成分とし、銀を含有さ  
せたCu-Ag導体ペーストを塗布してCu-Ag導体膜20を形  
成する。Cu-Ag導体ペーストは、Cu粉体と、Ag粉体と、ガラスフリットと、バインダとを混合して塗料化されている。Cu-Ag導体ペーストに含まれる銀の含有量は、Cu-Ag導体ペースト中の銅と銀との総和を100wt%としたとき、0.3～30wt%である。

【0080】導体ペーストを塗布する方法については制  
限はない。代表的な具体例はスクリーン印刷法である

が、多層基板は研磨により平面性が得られているので、  
多層基板を回転させながら、導体ペーストを滴下して塗  
布するスピンドルコートを用いることができる。その際、ス  
ピンドルコートでは一度に導体ペーストを厚く塗布するこ  
とができるので、塗布と塗膜の乾燥を繰り返して行うこと  
により、目的の塗膜厚を有するCu-Ag導体膜20を得ることが好ましい。

【0081】このように、基板1の上に、Cu-Ag導  
体ペーストを印刷手段等によって塗布してCu-Ag導  
体膜20を形成するので、薄膜技術や湿式メッキ技術を  
適用する場合よりも、Cu-Ag導体膜20を、容易に  
厚く形成できる。このため、高周波帯において実抵抗損  
失の小さな導体パターンが得られる。特に、渦巻き状の  
コイルパターン(図3参照)を形成する際は、外側から  
内側に向かう渦巻きパターンを、上述した印刷手段等に  
よって形成し、更に、渦巻きパターンの内側及び外側に  
接続される端子電極を、蒸着やスパッタ等の薄膜技術ある  
いは湿式メッキ技術を適用して形成することにより、  
高周波帯においてQの高いコイルを得ることができる。

【0082】また、一般に導体ペースト中には、基板1  
との接着強度を上げるためにガラスフリットが添加され  
ている。その上、前述の如く導体ペーストによる導体  
は、その膜厚を容易に厚くできる。このため、マザーボ  
ード等に対し十分な付着強度を得ることができる。

【0083】<乾燥・焼成工程>塗布されたCu-Ag  
導体膜20に対して乾燥、脱バインダ及び焼成を行  
う。本発明に係る電子部品の多層基板表面上に塗布されたC  
u-Ag導体膜20は銅を主体にしているため、脱バ  
インダ及び焼成は窒素または中性雰囲気中で行う。焼成温  
度については、焼成時間との関係もあるが、650～8  
50°Cの温度範囲において、適当な温度に設定する。

【0084】この工程において、Cu-Ag導体ペース  
トの焼成時に、基板1に設けられた銀でなる内部導体3  
0と、Cu-Ag導体ペーストとの接触箇所において液  
相化を生じる。しかしながら、Cu-Ag導体ペースト  
中では、銅成分及び銀成分が広く分散しているため、C  
u-Ag導体ペーストの焼成時に生じる液相化は、基板  
1上に塗布されたCu-Ag導体ペーストの全体と、基  
板1上に露出する銀でなる内部導体30との間で生じ  
る。このため、従来から問題となっていた銅と、銀でなる  
内部導体との異種金属間の局所的な液相化、及び、そ  
れによる電気的断線を生じることがない。

【0085】また、焼成時に液相化を起こすといつても、液相化が始まつてから完全に液相化するまでには、  
ある程度、温度範囲があるから、Cu-Ag導体ペース  
トが流動しない焼成温度条件を設定することにより、多  
層基板1上に、一定の品質を有するCu-Ag導体膜2  
0を形成することができる。

【0086】しかも、Cu-Ag導体ペーストは、Cu  
を単独で用いたCuペーストに比べて、低い焼成温度条

件で焼結させることができる。即ち、CuとAgは液相化により合金化するが、それに伴い融点自体も低下する。例えば、Cuベーストの場合、約900°C程度で焼成させる必要があるが、Cu-Ag導体ベーストの場合、ベースト組成物の組成比の条件設定及び焼成時間の設定により、上述したように、650~850°Cの温度範囲で焼成が可能になる。このため、製造にかかるエネルギー消費を低減すると共に、焼成炉の寿命を延長することができる。

【0087】また、多層基板1を、セラミック成分及びガラス成分を含む複合組成物で構成した場合、導体膜を焼成する温度が高い程、多層基板1の構成材料が軟化する傾向にあり、導体膜焼成工程後に多層基板1に反りを生じ易かった。本発明においては、低温度で焼成可能なCu-Ag導体ベーストを用いることができるので、導体膜焼成工程において発生する多層基板1の反りを、極めて小さくすることができる。

【0088】更に、Cu単独でなる導体膜の場合、低抵抗の導体膜を得るには900°C以上の温度で焼成する必要がある。これ以下の温度条件、例えば600°C前後では、焼結が不充分になり導体抵抗が増大する。これに対して、Cu-Ag導体膜20の場合、例えば650~850°Cの低い温度で焼成して、ほぼ完全に焼結させ、低い導体抵抗を実現することができる。

【0089】焼成後のCu-Ag導体膜20の表面は、通常、粗い状態になっているので、焼成後にCu-Ag導体膜20の表面にバフ研磨等の鏡面化するための研磨を行なうことが好ましい。これにより、Cu-Ag導体膜20の表面が平滑化され、細い導体パターンを高精度で形成することができる。

【0090】<パターン形成工程>次に、図14に示すように、Cu-Ag導体膜20に対してフォトリソグラフィ技術を適用し、目的とする導体パターンとなるよう、パターン化処理を行なう。パターン化に当たっては、先ず、Cu-Ag導体膜20の全表面に、フォトレジストを塗布する。塗布方法としてはスピンドル法が好ましい。

【0091】次に、目的のパターンが形成されたフォトマスクを透して露光を行う。その後、現像してレジスト膜を除去する。Cu-Ag導体膜の露出した部分は、例えば、化学的エッチング処理によって除去する。

【0092】ここで、本発明において用いられるCu-Ag導体膜20は、Cuを主成分とし、銀は添加物として加えた組成であるので、多層基板1上に形成されたCu-Ag導体膜20を、Cuのエッティング液として一般的な塩化第二鉄(FeCl<sub>3</sub>)を用いて、エッティングすることができます。塩化第二鉄(FeCl<sub>3</sub>)のエッティング液は、Cu-Ag導体膜20を基板1に接着させているガラスフリットの接着力を劣化させる度合いが少ない。このため、接着力の大きなCu-Ag導体膜20を得ることができ

る。よって、本発明に係る電子部品はマザーボードに対し十分な固着強度を有し、且つ、半田による電極の消失のない搭載部品とすることが可能となる。

【0093】<絶縁層形成工程>次に、図15に示すように、導体パターン2の形成された面上に、スピンドルコート等の手段によって、絶縁膜4を塗布する。絶縁膜4はポリイミド系、エポキシ系といった樹脂系材料が適している。前記樹脂系材料としては、好ましくは、感光性を有する材料を用いる。感光性を有する樹脂系材料であれば、フォトリソグラフィ技術の適用によって、高精度のパターンを形成できるという利点が得られる。

【0094】<上部導体形成工程>次に、図16に示すように、絶縁膜4に対して、フォトリソグラフィ技術を適用し、次工程のためのパターン処理を行なう。図16において、参照符号400は、抜きパターンを示している。

【0095】次に、図17に示すように、蒸着、スパッタ、メッキ等を用いて、絶縁膜4の上に銅を付着させ、銅導体膜5を形成する。銅導体膜5の膜厚は0.5~3μm程度でよく、処理が比較的早いスパッタを用いることができる。

【0096】次に、図18に示すように、銅導体膜5にフォトリソグラフィ技術を適用して目的の導体パターン50を得る。図18の参照符号500は銅導体膜5のパターン処理によって生じた抜きパターンを示している。

【0097】上述したように、基板1上に、フォトリソグラフィ技術の適用により導体パターン2を形成した後、ポリイミドやエポキシ等の樹脂による絶縁膜4を形成し、その上に更に、蒸着、スパッタあるいは湿式メッキにより、銅導体膜5を形成する。そして、再度、フォトリソグラフィ技術を適用して、銅膜による導体パターン50を形成するので、導体パターンの多層化が可能となる。このため、多層化により、小型化した電子部品を得ることができます。

【0098】<保護層形成工程>次に、図19に示すように、保護膜6を形成する。保護膜6の材料としては前記した樹脂系が好ましい。保護膜6の内、外部接続電極となる端子電極に対応する部分は、除去する。除去方法としては、フォトリソグラフィ技術を適用して、不要部分をエッティングによって除去する方法が適している。但し、外部接続電極は基板上に形成したパターンに比べ、比較的大型のパターンとなるため、スクリーン印刷法により、形成してもよい。

【0099】<個別分割工程>次に、図20に示すように、切断線X1-X1に沿って分割し、個々の電子部品に分割する。この時、基板はガラスーセラミック基板であるので、ダイシングソウ等で容易に分割することができる。以上により、本発明に係る電子部品が完成する。

【0100】上記実施例では、LPFを例にとって説明したが、本発明は、バンドバスフィルタ、ハイバスフィ

19

ルタ、バンドエリミネイションフィルタ等の各種フィルタ、カプラ、フェイズシフタ等の各種機能部品及び、前記各機能の複合部品に応用が可能である。またコイル、コンデンサといった単機能の個別部品に応用することも可能である。

## 【0101】

【発明の効果】以上説明したように、本発明によれば、次のような効果を得ることができる。

(a) 基板内部の配線と、基板表面に形成される導体膜との間の電気的断線を回避し得る電子部品及びその製造方法を提供することができる。

(b) 例えは650～850°Cの低温で焼成可能な電子部品及びその製造方法を提供することができる。

(c) 焼成後の基板の反りを低減させ得る電子部品及びその製造方法を提供することができる。

(d) 基板表面に形成される導体膜を、接着力を劣化させずにパターン化し得る電子部品及びその製造方法を提供することができる。

(e) 導体抵抗の低い導体膜を有する電子部品及びその製造方法を提供することができる。

## 【図面の簡単な説明】

【図1】本発明に係る電子部品の断面図である。

【図2】図1に示した電子部品の実装状態を示す断面図である。

【図3】本発明にかかる電子部品の具体例としてのL P Fを示す分解斜視図である。

【図4】図3の4-4線に沿った断面図である。

【図5】図3の5-5線に沿った断面図である。

【図6】図3の6-6線に沿った断面図である。

【図7】図3～図6に示したL P Fの等価回路図である。

【図8】図3～図7に示したL P Fをマザーボードに実\*

20

\* 装した状態を示す部分断面図である。

【図9】本発明に係る電子部品の製造工程を示すフローチャートである。

【図10】本発明に係る電子部品の製造工程を示す図である。

【図11】図10に示した製造工程の後の製造工程を示す図である。

【図12】図11に示した製造工程の後の製造工程を示す図である。

【図13】図12に示した製造工程の後の製造工程を示す図である。

【図14】図13に示した製造工程の後の製造工程を示す図である。

【図15】図14に示した製造工程の後の製造工程を示す図である。

【図16】図15に示した製造工程の後の製造工程を示す図である。

【図17】図16に示した製造工程の後の製造工程を示す図である。

【図18】図17に示した製造工程の後の製造工程を示す図である。

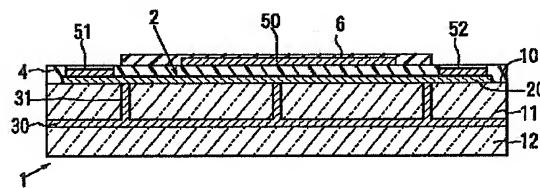
【図19】図18に示した製造工程の後の製造工程を示す図である。

【図20】図19に示した製造工程の後の製造工程を示す図である。

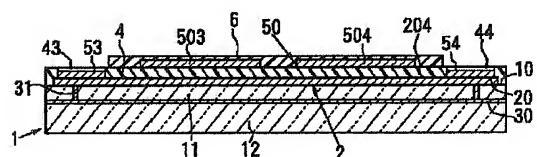
## 【符号の説明】

1	基板
11	絶縁層
10	研磨された面
12	補強層
2	導体パターン
20	Cu-Ag導体膜

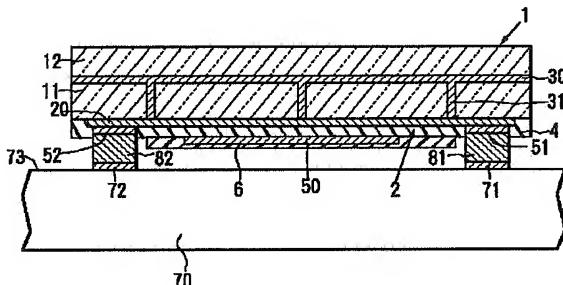
【図1】



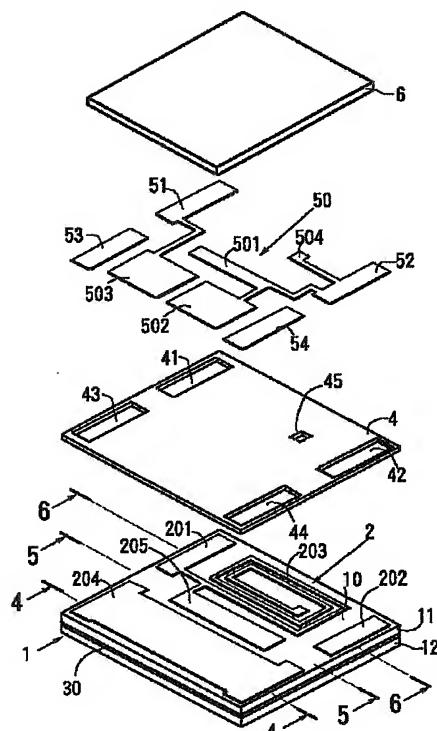
【図4】



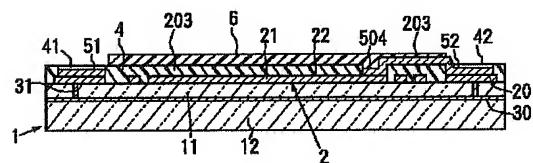
【図2】



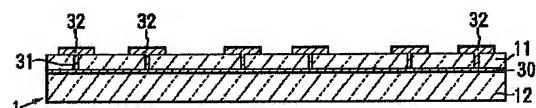
[図3]



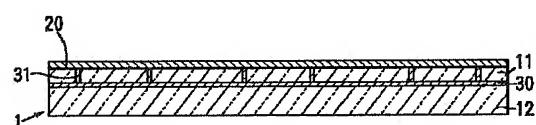
〔図6〕



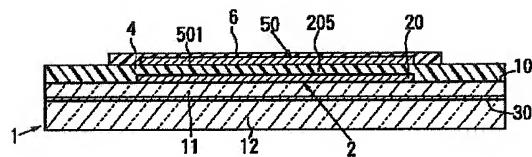
[図11]



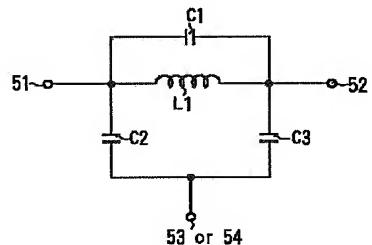
【図13】



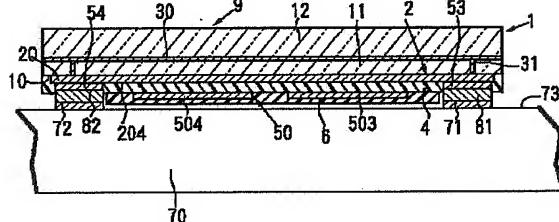
【図5】



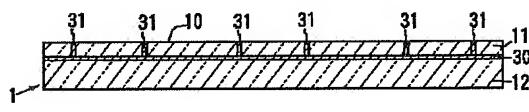
【図7】



[図8]

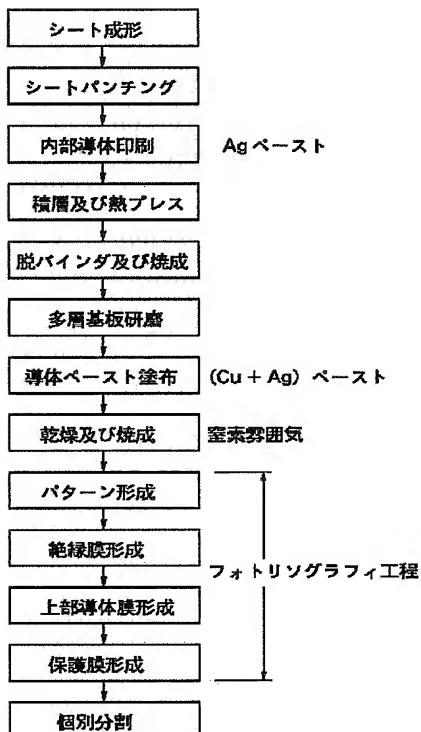


【図12】

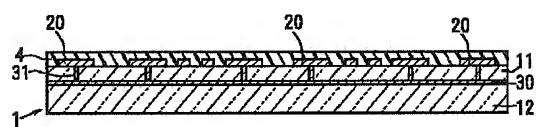


[図14]

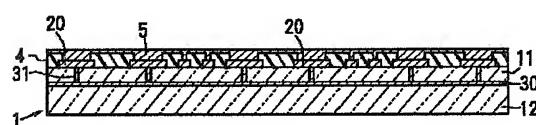
【図9】



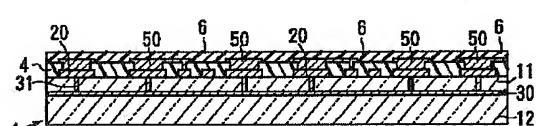
【図15】



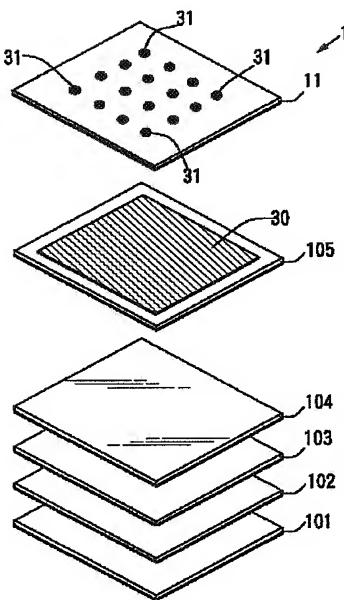
【図17】



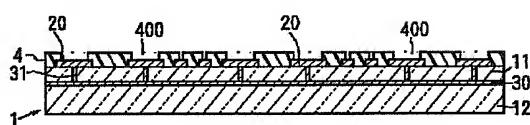
【図19】



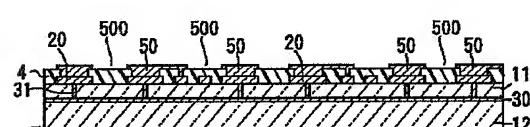
【図10】



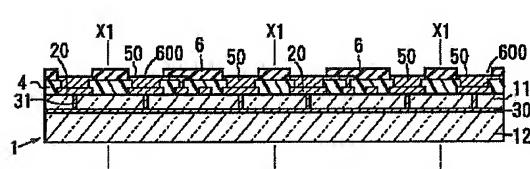
【図16】



【図18】



【図20】



フロントページの続き

(51) Int.Cl.<sup>5</sup>

H 05 K 1/09  
3/46

識別記号

F I

H 05 K 1/09  
3/46

A  
H  
L